

PAT-NO: JP403260872A

DOCUMENT-IDENTIFIER: JP 03260872 A

TITLE: LOW-ORDER DEVELOPMENT AUTOMATING SYSTEM

PUBN-DATE: November 20, 1991

INVENTOR-INFORMATION:

NAME

KOBAYASHI, KAZUO

WAKABAYASHI, HARUO

OKADA, KATSUYUKI

WAKIMURA, YOSHIAKI

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP02060740

APPL-DATE: March 12, 1990

INT-CL (IPC): G06F015/60

ABSTRACT:

PURPOSE: To select optimum configuration by describing the designation of functions and the designation of configuration for a logic unit and preparing one of a logic circuit with wiring logic and a logic circuit with a microprogram or a logic circuit mixing those both configuration systems according to the designation of the same function by using those descriptions.

CONSTITUTION: Based on the designation of the functions for the logic unit storing a file, the logic circuit at a logic gate level is prepared by a logic synthesizing program 39, and the microprogram at a bit pattern level is

prepared by a microprogram compiler 38. When preparing the logic circuit at a low-order level from function specification by using a switch to change over the logic synthesizing program 39 and the microprogram compiler 38 based on the designation of the logic configuration, the logic circuit and the microprogram are prepared while being selected according to the designation of one function. Thus, the optimum logic configuration can be selected.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-260872

⑤ Int. Cl.<sup>5</sup>  
G 06 F 15/60

識別記号 庁内整理番号  
3 6 0 K 7922-5L

⑬ 公開 平成3年(1991)11月20日

審査請求 未請求 請求項の数 1 (全14頁)

⑭ 発明の名称 下位展開自動化方式

⑯ 特 願 平2-60740

⑰ 出 願 平2(1990)3月12日

⑱ 発 明 者 小 林 一 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑱ 発 明 者 若 林 春 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑱ 発 明 者 岡 田 勝 行 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑱ 発 明 者 脇 村 慶 明 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
⑳ 代 理 人 弁理士 磯村 雅俊

明 細 書

1. 発明の名称

下位展開自動化方式

2. 特許請求の範囲

(1) デジタル論理装置の機能仕様から、より下位の論理ゲートレベルの論理回路およびビットパターンレベルのマイクロプログラムを構成要素とする論理回路を作成する下位展開自動化方式において、上記機能仕様として、論理装置の機能と論理構成の指定を組み合わせて入力し、入力された情報をファイルに一時格納しておき、該ファイルに格納された論理装置の機能の指定に基づき、論理合成プログラムにより論理ゲートレベルの論理回路を作成するとともに、該論理装置の機能の指定に基づき、マイクロプログラムコンパイラによりビットパターンレベルのマイクロプログラムを作成し、該ファイルに格納された論理装置の論理構成の指定に基づき、上記論理合成プログラムとマイクロプログラムコンパイラを互いに切り替えて動作させ、上記機能仕様から下位レベルの論理回路を作成する際に、上記論理構成の指定により、論理回路とマイクロプログラムを選択して作成することを特徴とする下位展開自動化方式。

て動作させ、上記機能仕様から下位レベルの論理回路を作成する際に、上記論理構成の指定により、論理回路とマイクロプログラムを選択して作成することを特徴とする下位展開自動化方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、自動設計装置として、デジタル論理装置の機能の指定と構成の指定を記述でき、それらを用いて布線論理の論理回路またはマイクロプログラムの論理回路を作成できる下位展開自動化方式に関するものである。

〔従来の技術〕

従来より、機能仕様を入力とするデジタル論理装置の自動設計装置としては、例えば、『情報処理ハンドブック』(社)情報処理学会、昭和51年12月20日(株)オーム社発行、pp.15-62~15-69に記載されているように、機能仕様を指定して、下位のレベルである論理ゲートレベルの論理回路やビットパターンレベルのマイクロプログラムを構成要素とする論理回路を自動的に作成するもので

あった。

このような自動設計装置としての下位展開自動化装置は、第11図に示すような状態遷移で表わされ、その記述から論理ゲートレベルの論理回路が作成されていた。

この状態遷移図では、状態遷移の開始と終了を指定するSTG1、ENDの記述と、論理装置が実行する制御動作（例えば、データ転送動作の制御『A:=B;、E:=F;』や、他の論理装置の起動を意味する他の状態遷移の起動『=>STG2;』等）を一定の時間単位に区切った状態1、状態2、・・・状態n、状態mの記述と、制御動作の進行を表わす『遷移』と、その制御動作の進行条件を表わす『遷移条件』の記述から構成されている。また、『状態』の記述は、状態の識別名である『状態名』と、状態内で実行される『制御動作』とから構成される。なお、第11図において、状態nから状態1に戻る遷移は、論理装置STG1が繰り返し起動されることを隔に指定するための遷移である。また、状態STnの制

御動作である『=>STG2;』は、他の状態遷移STG2を起動することを指定するものである。

第12図は、第11図の記述を下位展開自動化装置内に格納するためのデータ構造図である。

第12図(A)は、1つの記述単位に対応するデータ構造図であって、該当記述文が状態遷移を開始あるいは終了を表わすものか(以下、Tと記す)、または状態の制御動作を表わすものか(以下、Sと記す)を指定する『記述文種別』と該当の『記述文』とから構成されている。

第12図(B)は、上記(A)のデータ構造の一部の詳細図であって、記述文種別がTの場合の『記述文』のデータ構造を示している。すなわち、このデータ構造では、該当する記述文が状態遷移の開始を表わす場合には、状態遷移の集合の固有名称を指定し、該当する記述文が状態遷移の終了を表わす場合には、ENDを指定する『記述文の属性』と、状態遷移の起動条件となる『起動信号』および遷移先の状態名とから構成されている。

第12図(C)は、上記(A)のデータ構造の一部の詳細図であって、記述文種別がSの場合の『記述文』のデータ構造を示している。すなわち、このデータ構造は、状態名、該当する状態の制御動作文および該当する状態から遷移する先を指定する遷移条件と遷移先とから構成されている。

第13図は、第11図の機能仕様から合成される論理ゲートレベルの論理回路群の接続構成を示す記述図である。

この図の論理回路群は、状態ST1、ST2、・・・STn、STmに対応する論理回路ST1、ST2、・・・STn、STmと、遷移条件a、cが真となったときに対応する論理回路STn、STmをONにする論理積回路のタイミング回路と、論理回路ST1、ST2、・・・STn、STmがONになるタイミングを与えるクロック信号Q1とから構成される。

第14図は、従来のデジタル論理装置の自動設計装置のハードウェア構成を示す図である。

この自動設計装置は、第11図に示すような状

態遷移で表わされる機能仕様から、第13図に示すような下位レベルの論理回路を合成する。

第14図において、CPU146は記述入力装置143から入力された機能仕様から、第3図に示す下位の論理ゲートレベルの論理回路群を作成する処理装置である。機能記述格納装置144は、第11図に示すような状態遷移で示された論理回路の機能仕様を、第12図のデータ構造で格納したファイルであり、また論理回路記述格納装置145は、上記機能仕様から合成した下位の論理ゲートレベルの論理回路で構成されるデジタル論理装置の記述を格納したファイルである。主記憶装置140は、CPU146の処理に必要なプログラム、例えば機能記述格納手段144に格納する機能仕様の記述を記述入力装置143から読み込んだり、その機能仕様から合成された論理回路の記述を論理回路記述格納装置145に格納するための論理合成処理プログラム等を格納する。

第15図は、第14図の自動設計装置による下位展開処理の手順を示すフローチャートである。

先ず、(i)読み書きプログラムが起動されることにより、記述入力装置143から機能仕様の記述が入力されると、上記プログラムがこの機能仕様を第12図に示すようなデータ構造に変換し、機能記述格納装置144に格納する(ステップ50)。次に、(ii)論理合成処理プログラムが起動されることにより、機能記述格納装置144から機能記述を取り出し、機能記述中の1つの状態毎に該当する状態に対応する論理回路を1つ配置し、該当する論理回路のセット端子にタイミング回路を接続する。このタイミング回路は、着目する状態への遷移条件毎に、該当する遷移条件に対応する信号と、遷移元の状態に対応する論理回路の出力端子からの信号の論理積をとり、各論理積の出力の論理和をとる回路で構成する(ステップ51)。次に、(iii)未処理の機能記述の有無を判断し、未処理のものがあれば、ステップ51に戻って論理回路を作成するが、未処理のものがなければ、次に進む(ステップ52)。(iv)論理合成処理プログラムは、合成結果を論理回路記述格納装置145

に格納することにより、処理を終了する(ステップ53)。

なお、第15図の処理は、従来の下位展開自動化装置で、機能仕様の記述から論理回路を作成する場合であるが、論理回路の書きにマイクロプログラムを作成する装置の場合には、前記第14図において、論理合成処理プログラムの書きにマイクロプログラム合成処理プログラムを備えておく。そして、第5図においても、論理回路の書きにマイクロプログラムを作成して(ステップ51)、作成されたマイクロプログラムをファイルに格納する(ステップ53)。

〔発明が解決しようとする課題〕

前述のように、従来の自動設計装置では、機能仕様の記述手段である下位記述展開プログラムが、論理回路合成用とマイクロプログラム合成用とにそれぞれ分けられていた。その結果、1つの機能仕様から論理回路とマイクロプログラムの両方の論理構成を作成することができず、またそれらについて、処理速度や金物量等を比較して最適な論

理構成を選択することができなかった。

従来の自動設計装置を使用してデジタル論理装置を設計する場合には、第16図に示すように、論理回路合成用とマイクロプログラム合成用の機能仕様をそれぞれ記述して(ステップ161、162)自動設計装置に入力し、それらから論理回路とマイクロプログラムを作成した後(ステップ163、164)、処理速度や金物量等を比較して(ステップ165)、最適な論理構成を選択する必要があった(ステップ166)。

本発明の目的は、このような従来の課題を解決し、布線論理またはマイクロプログラムによる論理回路の性能を短時間に比較して、いずれか一方、または両構成を混合した最適な構成を選択することができる下位展開自動化方式を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明の下位展開自動化方式は、機能仕様として、論理装置の機能と論理構成の指定を組み合わせ入力し、入力され

た情報をファイルに一時格納しておき、ファイルに格納された論理装置の機能の指定に基づき、論理合成プログラムにより論理ゲートレベルの論理回路を作成するとともに、論理装置の機能の指定に基づき、マイクロプログラムコンパイラによりビットパターンレベルのマイクロプログラムを作成し、ファイルに格納された論理装置の論理構成の指定に基づき、論理合成プログラムとマイクロプログラムコンパイラを互いに切り替えて動作させ、機能仕様から下位レベルの論理回路を作成する際に、論理構成の指定により、論理回路とマイクロプログラムを選択して作成することに特徴がある。

〔作 用〕

本発明においては、デジタル論理装置の機能仕様から論理ゲートレベルの論理回路およびビットパターンレベルのマイクロプログラムを作成する場合、機能仕様として、論理装置の機能と論理構成の指定を組み合わせ入力し、論理合成プログラムにより論理装置の機能の指定から論理ゲ

トレベルの論理回路を作成するとともに、マイクロプログラムコンパイラにより同一の機能の指定からビットパターンレベルのマイクロプログラムを作成し、論理構成の指定に基づき論理合成プログラムとマイクロプログラムコンパイラを切り替えるスイッチを用いて、機能仕様から下位レベルの論理回路を作成する際に、論理構成の指定に基づいて1種類の機能の指定から論理回路とマイクロプログラムを選択して作成する。これにより、該当する機能仕様から下位レベルの論理回路やマイクロプログラムを構成要素とする論理装置を合成する場合に、1つの機能仕様から論理回路とマイクロプログラムの両構成方式の論理構成を作成することができるとともに、それらについて処理速度と金物量を比較することにより、最適な論理構成を選択することが可能である。

#### 〔実施例〕

以下、本発明の実施例を、図面により詳細に説明する。

第1図は、本発明の一実施例を示す機能仕様を

『状態』の記述は、状態の識別名である『状態名』と、状態内で実行される『制御動作』とから構成される。しかし、従来と異なる点は、制御動作毎に構成指定が可能となっていることである。構成指定は、具体的には、着目する機能を論理回路の組み合わせで構成する布線論理の指定（以下、記号wで表わす）、マイクロプログラムで構成する指定（以下、記号mで表わす）、および布線論理とマイクロプログラムを混在させて構成する指定（以下、記号xで表わす）のいずれかである。

第1図において、状態名ST1の状態の制御動作中の〔w〕、および状態名STmの状態の制御動作中の〔m〕は、それぞれ構成指定の例である。

操作メニューウィンドウ11は、上記の状態遷移を機能仕様記述ウィンドウ13上に記述するための各種の操作コマンドを表示したものである。

この操作コマンドには、状態遷移の開始、終了、状態等を表わす図記号（メニュー上の部品1、・・・部品nに相当する）を機能仕様記述ウィンドウ13上に配置する『追加』コマンド、上記の図記

表す状態遷移の入力装置と画面の図である。

入力装置は、ディスプレイ10上の機能仕様記述ウィンドウ13と、操作指示のためのマウス15と、マウス15に連動するカーソル17と、数値情報を入力するキーボード14とから構成される。

機能仕様記述ウィンドウ13は、機能仕様を表わす状態遷移を記述するためのものである。この状態遷移は、従来のものと同じように、状態遷移の『開始』と『終了』を指定する記述と、論理装置が実行する制御動作を一定の時間単位で区切った『状態1、状態2、・・・状態n、状態m』の記述と、制御動作の進行を表わす『遷移』とその制御動作の進行条件を表わす『遷移条件』の記述とから構成される。本実施例では、この他に、従来と異なる要素、つまり着目する状態遷移の論理構成を指定する『構成指定』と、状態遷移を一まとまりの記述単位として扱うための『図面名』等からなる図面管理情報16も、仕様記述の構成要素となっている。なお、従来と同じように、

号を機能仕様記述ウィンドウ13から取り除く『削除』コマンド、記号した状態遷移を機能記述格納装置（ファイル）に格納する『書き込み』コマンド、および操作対象の図記号を指定する部品1、・・・部品nから構成される。操作メニューを使用して操作を行う際には、マウス15に連動したカーソル17が使用される。例えば、カーソル17で『追加』コマンドのメニューの位置を指示した後、『部品1』のメニュー位置を指示し、最後に機能仕様記述ウィンドウ13上の任意の位置を指示することにより、部品1に対応する図記号が機能仕様記述ウィンドウ13上に配置される。制御動作等のテキストで記号されるものは、キーボードを使用することにより入力できる。

第2図は、第1図の状態遷移を機能記述格納装置に格納するためのデータ構造を示す図である。

本発明のデータ構造は、第2図(A)に示すように、従来のデータ構造と比較すると、図面名で指定される状態遷移を1まとまりとして扱うデータ構造を新たに設けている。すなわち、本発明のデ

ータ構造は、1まとまりの状態遷移の論理構成を指定する『構成指定』と、この状態遷移の識別名である『図面名』と、複数の『記述要素』とから構成される。第2図(B)は、1つの記述要素の詳細を示している。これは従来と同じ記述文種別と、従来とは異なって、制御動作毎に論理構成を指定した記述文とから構成されている。

第2図(C)は、記述文種別がTの場合の記述文の詳細を示したものである。これは、従来と同じである。第2図(D)は、記述文種別がSの場合の記述文の詳細を示したものである。この記述文は、状態名と複数の動作の指定と複数の遷移の指定とから構成される。動作の指定は、1つの制御動作とそれを実現するための論理構成の指定とから構成される。

第3図は、本発明の一実施例を示すデジタル論理装置の自動設計装置のハードウェア構成図である。

この自動設計装置は、第2図に示すようなデータ構造の状態遷移で表わされた機能仕様から、第

13図に示すような下位レベルの論理回路を構成要素とする論理回路、またはビットパターンレベルのマイクロプログラムを構成要素とする論理回路を合成する。

第3図において、機能記述格納装置31は、第2図に示すようなデータ構造の状態遷移で表わされた論理装置の機仕様を格納したファイルであり、論理レベル記述格納装置33は、上記の機能仕様から合成した下位レベルの論理ゲートレベルの論理回路またはビットパターンレベルのマイクロプログラムで構成されるデジタル論理装置の記述を格納したファイルである。また、記述入力装置34は、第1図に示す機能仕様記述ウィンドウ13と操作メニューウィンドウ11を持つディスプレイ10とキーボード14およびマウス15とから構成され、上記の記述仕様を記述するためのものである。また、主記憶装置35は、CPU30の処理に必要なプログラム、例えば、機能記述格納装置31に格納する機能仕様の記述を記述入力装置34から読み込んだり、その機能仕様か

ら合成された下位レベルの論理ゲートレベルの論理回路またはビットパターンレベルのマイクロプログラムの記述を論理レベル記述格納装置33に格納したりする読み書きプログラム36、その機能仕様から論理ゲートレベルの論理回路を合成する論理合成処理プログラム39、ビットパターンレベルのマイクロプログラムを合成するマイクロプログラムコンパイラ38、および機能仕様の一部として記述される構成指定に従って論理合成処理プログラム39とマイクロプログラムコンパイラ38のどちらを使用するかを制御する合成制御プログラム37等を格納している。

第4図は、本発明における合成制御プログラムの機能ブロック図である。

本発明の特徴的なプログラムである合成制御プログラムは、与えられた機能仕様の記述のうちの構成指定を参照して、記述を布線論理指定のものとマイクロプログラム指定のものに分ける記述分解部41と、上記で分解された記述単位に論理合成処理プログラム39とマイクロプログラムコ

ンパイラ38を起動して、下位レベルの論理回路を作成する合成起動部42と、布線論理とマイクロプログラムより構成される論理回路間の接続を行って、論理回路を完成させる記述統合部43と、これら3つの処理部41~43の実行を制御する実行制御部44とから構成される。

第5図は、第4図における実行制御部の処理手順を示すフローチャートである。

まず、(i)実行制御部44は、記述分解部41を動作させて次の処理を行う。すなわち、機能記述格納装置31に格納されている状態遷移を図面名単位に構成指定がm、w、xのものに分類し、その中で構成指定がxのものは、さらに制御動作単位に構成指定がm、wのものに分類して、構成指定毎の記述の集合を作成する(ステップ110)。(ii)実行制御部44は、合成起動部42を起動して次の処理を行う。すなわち、上記の手順で分類された記述の集合に対して、論理回路とマイクロプログラムを比較していずれか一方を選択する処理を行う。つまり、構成指定がwのものに対して

は、論理合成処理プログラム39を用いて論理ゲートレベルの論理回路を作成する。また、構成指定がmのものに対しては、マイクロプログラムコンパイラ38を用いてビットパターンレベルのマイクロプログラムを作成する。これらの作成結果は、中間情報格納装置32に格納される(ステップ111)。次に、(iii)実行制御部44は、記述統合部43を起動させることにより、次の処理を行う。すなわち、布線論理で構成される論理回路とマイクロプログラムで構成される論理回路との間の信号線を接続し、論理回路を完成させて論理レベル格納装置33に格納する(ステップ112)。

以下、ステップ110の記述分解部41の詳細動作フローを第6図に、またステップ111の合成起動部42のデータ構造図を第7図に、またステップ112の記述統合部43の詳細動作フローを第9図に、それぞれ示す。

第6図は、第4図における記述分解部の処理フローチャートである。

まず(i)状態遷移の集合から図面単位に1まと

り除く(ステップ126)。また、(vi)第2の状態遷移に対しては、各状態毎に制御動作に対する構成指定を判定し、m指定のものがあれば、該当の状態から動作の指定を取り除き、ステップ123の処理を行う。

第7図は、中間情報格納装置に格納される論理回路のデータ構造図である。

第7図(A)は、構成指定がwの機能仕様から作成される論理回路のデータ構造図である。これは、機能仕様の識別名である『図面名』と、『構成指定』および信号が入力される側の論理回路を意味する『デスティネーション資源』と信号を出力する側の論理回路を表わす『ソース資源』の対を指定する複数ネットから構成される。

第7図(B)は、構成指定がmの機能仕様から作成される論理回路のデータ構造図である。これは、機能仕様の識別名である『図面名』と、『構成指定』および複数のネットから構成される。また、上記の構成指定wと異なって、各ネットでは、『デスティネーション資源』と『ソース資源』の

まりの状態遷移を取り出す(ステップ120)。

(ii)取り出された状態遷移の構成指定を判定し、それがwであるときはステップ122に、それがmであるときはステップ124に、またそれがxであるときにはステップ125に、それぞれ分岐する(ステップ121)。

次に、(iii)取り出された状態遷移を、布線論理の論理構成で作成するために登録する(ステップ122)。次に、(iv)未処理の状態遷移の集合の有無を判定し、未処理のものがあれば、ステップ120に戻って同じ処理を繰り返す(ステップ123)。また、(v)取り出された状態遷移をマイクロプログラムの論理構成で作成するために登録し、ステップ123の処理を行う。

(vi)取り出された状態遷移と同一の記述を1つ作成し、元の状態遷移を第1の状態遷移、複写された状態遷移を第2の状態遷移とする(ステップ125)。(vi)第1の状態遷移に対しては、各状態毎に制御動作に対する構成指定を判定し、w指定のものがあれば、該当の状態から動作の指定を取

り他に、この対の信号接続を制御するマイクロプログラムの制御信号が追加されている。

第8図は、第6図における第1の状態遷移と第2の状態遷移の処理において、状態対応の構成指定を判断して2つの状態遷移に分離する態様を示す図である。

第8図(A)は、構成指定にxが指定された図面名単位の状態遷移である。この図では、制御動作にwが指定された状態を白色の矩形で、またmが指定された状態を斜線の矩形で、それぞれ表わしている。第8図(B)は、第8図(A)から作成された第2の状態遷移において、各状態毎に制御動作に対する構成指定を判定し、m指定の制御動作の動作指定を取り除いた結果を表わしている。

第8図(C)は、第8図(A)に示す状態遷移において、各状態毎に制御動作に対する構成指定を判定し、w指定の制御動作の動作指定を取り除いた結果を表わしている。すなわち、そこだけを無効動作にしている。

なお、第8図の複数の矩形は、第1図で示し



た状態遷移図の各状態を表わすものである。第8図(C)の破線の矩形は、m指定の状態を取り除き、wに置換される状態を示している。ここで、m指定とw指定が混在した状態遷移から、m指定のみの状態遷移とw指定のみの状態遷移とに分離するのは、それぞれの状態遷移から1つの制御回路(w指定の状態遷移から作成される)と1つのマイクロプログラム(m指定の状態遷移から作成される)を作成するためである。第8図中において、『置換される状態』とは、元の状態における制御動作を無効動作(制御動作を行わないことを指定するもの)に置き換えた状態である。

第9図は、第4図における記述統合部の処理手順を示すフローチャートである。

まず、(i)中間情報格納装置32内に、布線論理で構成された論理回路と、マイクロプログラムで構成された論理回路とが、両者共に格納されているか否かを判定し、いずれか一方のみが格納されているときには、処理を終了する(ステップ150)。(ii)両者共に格納されているときには、

ーション資源・ソース資源対応リストの内容を示す図、第10図(B)は元の論理構成の接続図、第10図(C)は修正された論理構成の接続図である。

第10図(A)において、デスティネーション資源DES1は、構成指定wの機能仕様から作成されたソース資源SRC10、SRC12と構成指定mの機能仕様から作成されたソース資源SRC11(制御信号はCTL1)が対応付けられている。また、デスティネーション資源DES2は、構成指定mの機能仕様から作成されたソース資源SRC20(制御信号CTL2)が対応付けられている。また、デスティネーション資源DES3は、構成指定wの機能仕様から作成されたソース資源SRC30が対応付けられている。

第10図(B)は、第10図(A)のデスティネーション資源DES1に対する元の論理構成を示しており、DES1は構成指定wの機能仕様からソース資源SRC10、SRC12と論理和回路を介して接続される。一方、同じDES1が、構成指定mの機能仕様からソース資源SRC11の出力

両者のデータ構造を探索して、全てのデスティネーション資源に対して、ソース資源と制御信号とを対応付けたデスティネーション資源・ソース資源対応リスト(第10図参照)を作成する(ステップ151)。(iii)リストを探索することにより、同一デスティネーションであり、かつ構成指定wの機能仕様から作成されたソース資源と構成指定mの機能仕様から作成されたソース資源とを対応付けられているものがあるかを判定し、なければ処理を終了する(ステップ152)。(iv)同一デスティネーションのものが有れば、両者のソース資源の出力信号の論理和をとり、その結果を着目するデスティネーション資源の入力端子に接続する(ステップ153)。(v)リスト中に未処理のものが存在するか否かを判定し、あれば、ステップ152に戻って同一デスティネーションの有無判定処理を行い、なければ、処理を終了する(ステップ154)。

第10図は、第4図における記述統合部の処理を示す図であって、第10図(A)は、デスティネ

力端子と制御信号CTL1に論理和回路を介して接続される。

第10図(C)は、第10図(B)の接続図を第9図のステップ153の処理で修正して、統合した論理構成図である。同一のデスティネーション資源に対して統合するために、両構成方式のソース資源をDES1の入力端子の手前で、論理和回路を介してDES1に接続する。

このように、本実施例においては、機能仕様から下位レベルの論理回路やマイクロプログラムを構成要素とする論理装置を合成する場合に、1つの機能仕様から論理回路とマイクロプログラムの両構成方式の論理構成を作成するので、それらについて、処理速度や金物量等を比較して、最適な論理構成を選択することが可能である。

#### 【発明の効果】

以上説明したように、本発明によれば、ディジタル論理装置の機能仕様として、論理装置の機能の指定と構成の指定を記述することができ、それらを用いて同一の機能の指定から布線論理による

論理回路とマイクロプログラムによる論理回路のいずれか一方が、または両構成方式を混在した論理回路を作成することができるので、両構成方式の論理回路の性能を短時間で比較することにより、最適な構成を選択することが可能である。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す機能仕様の状態遷移入力装置の図、第2図は第1図の状態遷移を機能記述格納装置に格納するためのデータ構造図、第3図は本発明の一実施例を示すデジタル論理装置の自動設計装置のハードウェア構成図、第4図は第3図における合成制御プログラムの機能ブロック図、第5図は第4図における合成制御プログラムの実行制御部の処理手順を示すフローチャート、第6図は同じく合成制御プログラムの記述分解部の手順を示すフローチャート、第7図は本発明の中間情報格納装置に格納される論理回路のデータ構造図、第8図は第4図における合成制御プログラムの記述分解部で状態対応の構成指定を判断して、2つの状態遷移に分離する態様を

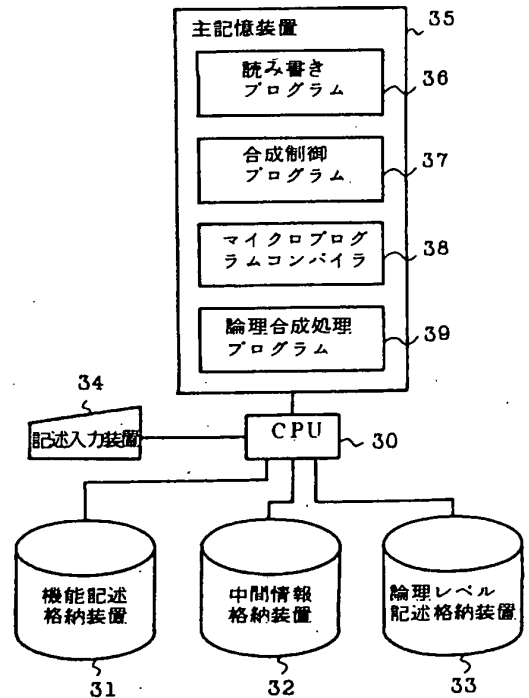
示す図、第9図は第4図における合成制御プログラムの記述統合部の処理手順を示すフローチャート、第10図は第4図における記述統合部の処理の一例を示す図、第11図は従来の機能仕様を状態遷移で記述する例を示す図、第12図は第11図の記述を下位展開自動化装置内に格納する従来のデータ構造図、第13図は第11図の機能仕様から合成される論理回路群の接続構成を示す図、第14図は従来のデジタル論理装置の自動設計装置のハードウェア構成図、第15図は第14図の自動設計装置でデジタル論理装置を設計する手順を示すフローチャート、第16図は従来の自動設計装置を用いてデジタル論理装置を設計する手順を示すフローチャートである。

10: ディスプレイ、11: 操作メニューウィンドウ、13: 機能仕様記能ウィンドウ、14: キーボード、15: マウス、16: 図面管理情報、17: カーソル、30: CPU、31: 機能記述格納装置、32: 中間情報格納装置、33: 論理レベル記述格納装置、34: 記述入力装置、35:

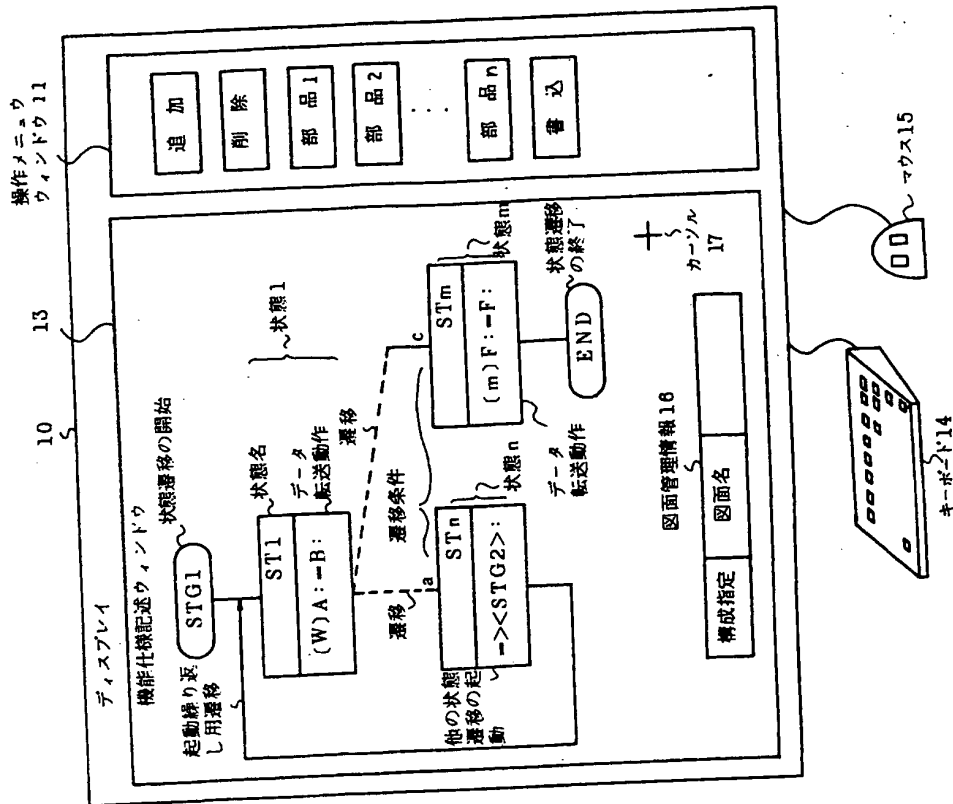
主記憶装置、36: 読み書きプログラム、37: 合成制御プログラム、38: マイクロプログラムコンパイラ、39: 論理合成処理プログラム、41: 記述分解部、42: 合成起動部、43: 記述統合部、44: 実行制御部。

代理人 弁理士 磯村 雅 俊

第 3 図



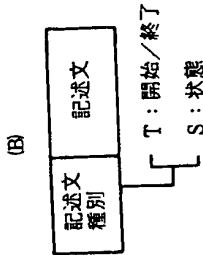
第 1 図



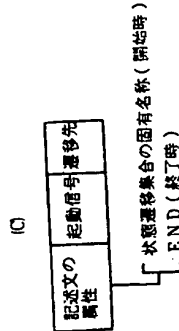
第 2 図 (その1)

(A)

構成指定	図面名	記述要素1	記述要素2	記述要素n
		.....		



第 2 図 (その2)



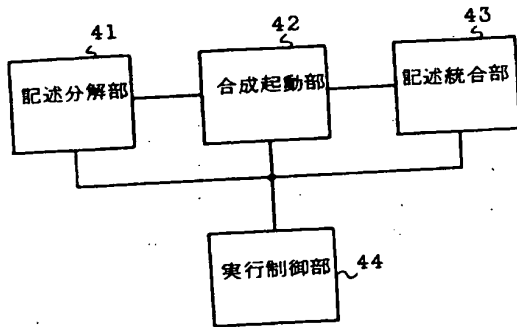
(D)

状態名	動作の指定 1		...	動作の指定 D		遷移の指定					
	構成 指定 1	動作文 1		構成 指定 D	動作文 D	遷移 条件 1	遷移 先 1	遷移 条件 m	遷移 先 m		

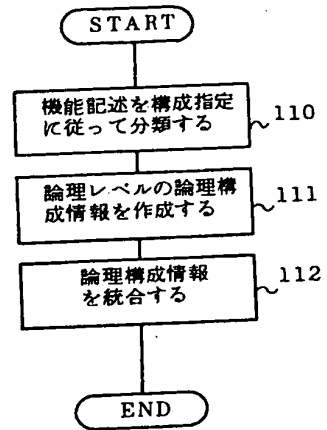
データ転送動作

他の状態遷移の起動

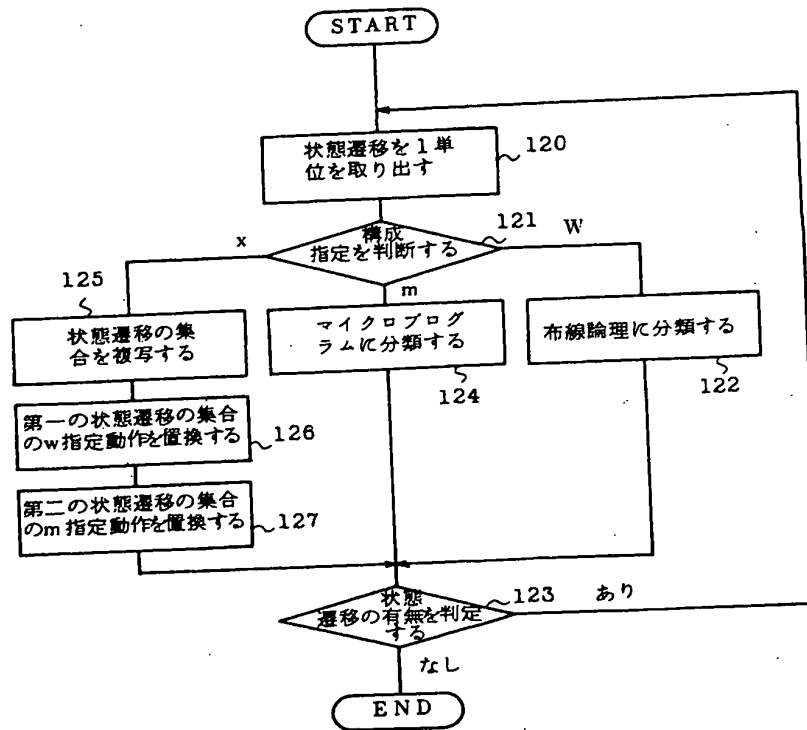
第 4 図



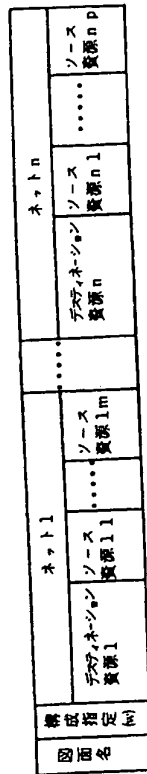
第 5 図



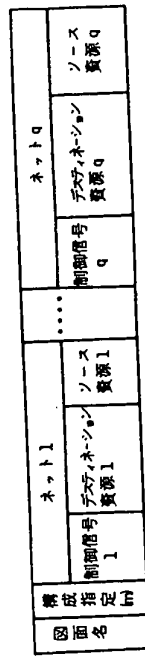
第 6 図



第 7 図  
(A)

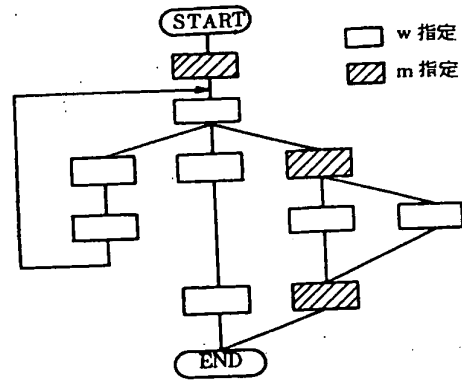


(B)



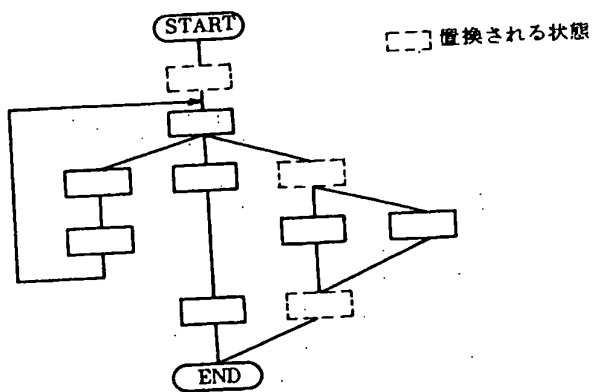
第 8 図 (その 1)

(A)



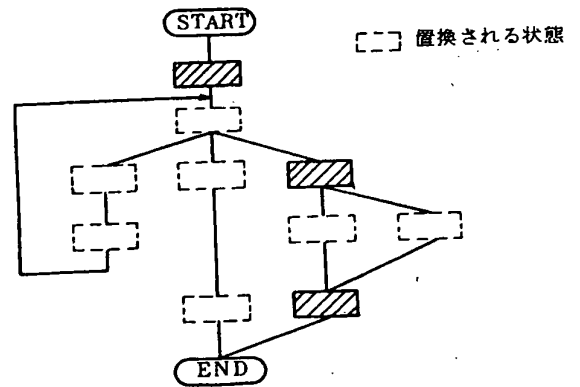
第 8 図 (その 2)

(B)

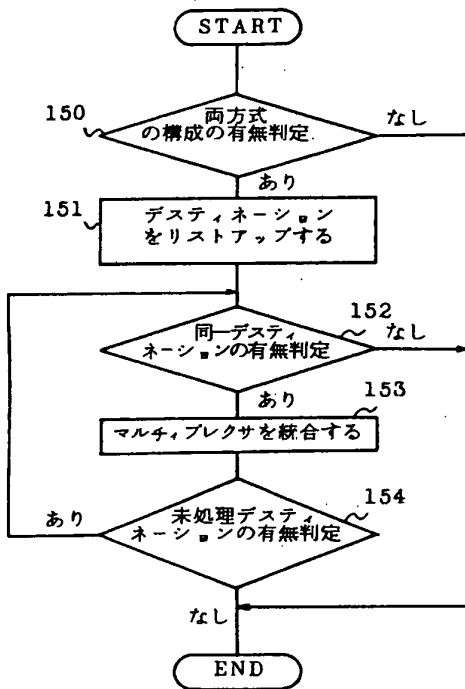


第 8 図 (その 3)

(C)



第 9 図



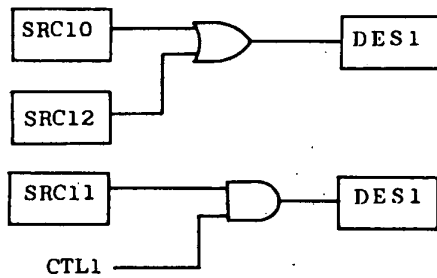
第 1 0 図 (その1)

(A)

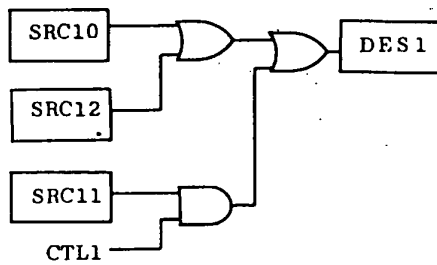
デスティネーション資源	ソース資源	制御信号
DES 1	SRC10, SRC12 (w)	
	SRC11 (m)	CTL 1
DES 2	SRC20 (m)	CTL 2
DES 3	SRC30 (w)	

第 1 0 図 (その2)

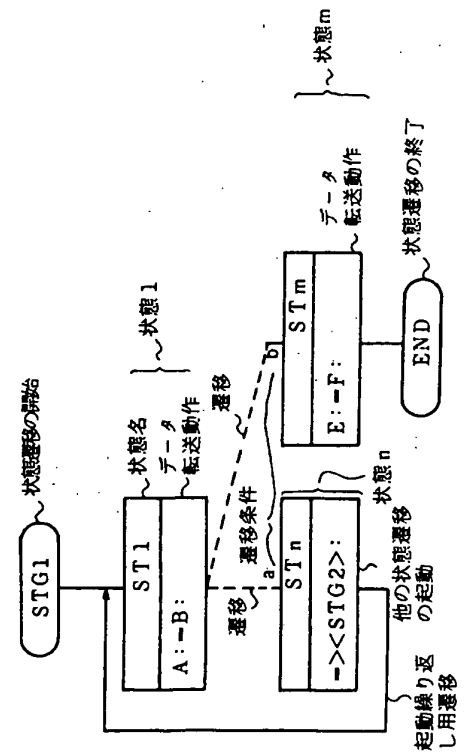
(B)



(C)

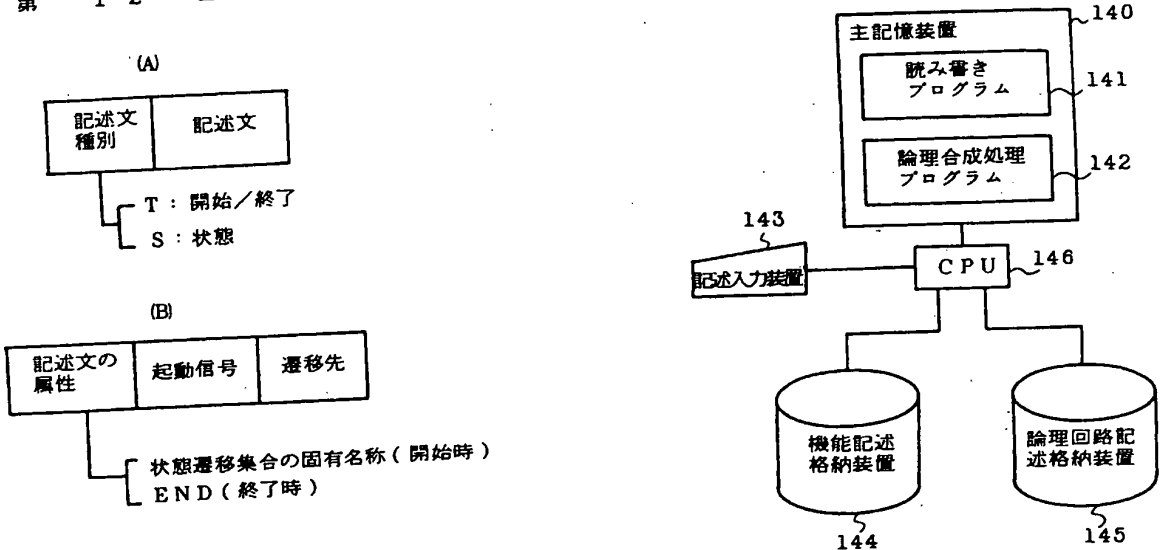


第 1 1 図

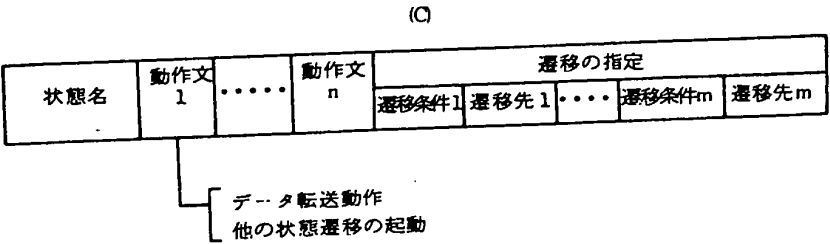


第 1 4 図

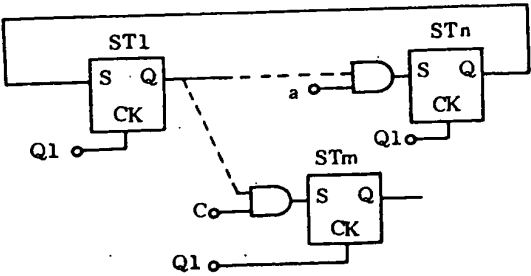
第 1 2 図 (その1)



第 1 2 図 (その2)



第 1 3 図



第 1 6 図

